

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232447

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 29/786

(21)Application number : 08-030976

(71)Applicant : NEC CORP

(22)Date of filing : 19.02.1996

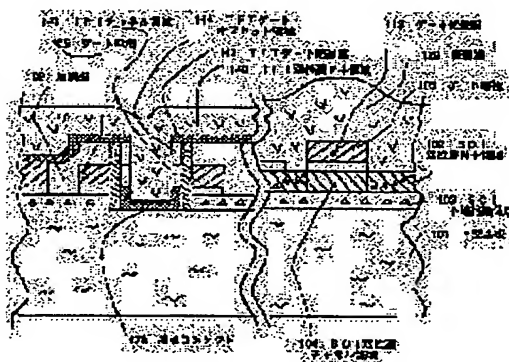
(72)Inventor : KITAKATA MAKOTO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor memory which reduces a thin-film conductor layer, which increases the degree of designing freedom of a layout and which stabilizes a characteristic.

SOLUTION: An SOI underlying substrate layer (a P-type substrate 101) is used as a wiring region. One side of an active-layer P+ region 140 at a TFT (thin-film transistor) whose channel direction is a direction perpendicular to the surface of the SOI underlying substrate layer and which comprises a ring-shaped gate electrode 105 is connected to the SOI underlying substrate layer, and the other side is connected to a transistor which is constituted of an SOI-substrate active layer. When the film thickness of an upper-layer insulating film 109 at the gate electrode 105 of the TFT is set, an asymmetric gate offset is self-aligned.



LEGAL STATUS

[Date of request for examination] 19.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2921468

[Date of registration] 30.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232447

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8244

27/11

29/786

H 0 1 L 27/10

29/78

3 8 1

6 1 3 B

審査請求 有 請求項の数 6 O L (全 36 頁)

(21) 出願番号

特願平8-30976

(22) 出願日

平成8年(1996)2月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 北方 誠

東京都港区芝五丁目7番1号 日本電気株式会社内

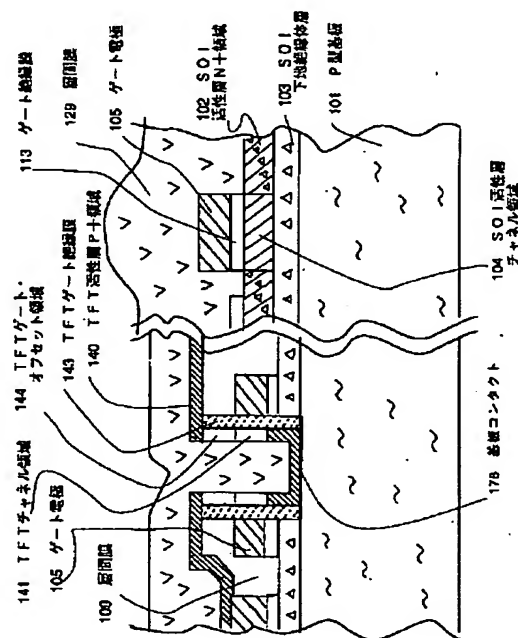
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 SOI基板上のトランジスタと縦型薄膜トランジスタ(TFT)とでCMOSスタック型メモリセルを構成すると、薄膜導電体膜の膜数が多くなり、かつセルフアライン化が困難になる。

【解決手段】 SOI下地基板層(P型基板101)を配線領域として用い、SOI基板表面に垂直な方向にチャネル方向を有し、かつ環状のゲート電極105を有するTFTの活性層P⁺領域140の一方がSOI下地基板層に接続され、他方がSOI基板活性層で構成されるトランジスタに接続される。TFTのゲート電極105の上層絶縁膜109の膜厚設定で非対称ゲートオフセットをセルフアライン化する。



【特許請求の範囲】

【請求項1】 SOI基板上に構成され、前記SOI下地基板層を配線領域として用い、またSOI基板表面に垂直な方向にチャネル方向を有しかつ環状のゲート電極を有する縦型薄膜トランジスタを含むメモリセルを備え、前記縦型薄膜トランジスタの一方のソース・ドレイン領域が前記SOI下地基板層と接続され、また他方のソース・ドレイン領域が前記SOI基板活性層で構成されるトランジスタと接続されてメモリセルを構成することを特徴とする半導体メモリ装置。

【請求項2】 縦型薄膜トランジスタとSOI基板に構成されるトランジスタとでインバータを構成し、これらインバータを交差接続したフリップフロップ回路でスタティック型メモリセルを構成する請求項1の半導体メモリ装置。

【請求項3】 縦型薄膜トランジスタの環状ゲート電極として、SOI基板上活性層で構成されるトランジスタにおけるゲート電極と同層の薄膜導電体層の開口断面を用いる請求項1または2の半導体メモリ装置。

【請求項4】 縦型薄膜トランジスタの環状ゲート電極として、SOI基板上活性層の開口断面を用いる請求項1または2の半導体メモリ装置。

【請求項5】 縦型薄膜トランジスタの環状ゲート電極として、SOI基板上活性層で構成されるトランジスタにおけるゲート電極と同層の薄膜導電体層およびSOI基板上活性層の多層構造の開口断面を用いる請求項1または2の半導体メモリ装置。

【請求項6】 縦型薄膜トランジスタのゲート電極の上層の絶縁体層の膜厚により、ソース・ドレイン間に対して非対称なゲートオフセット構造を有する請求項1または2の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に関し、特にフリップフロップ回路を用いたスタティック・ランダム・アクセス・メモリ（SRAM）装置に関する。

【0002】

【従来の技術】近年、半導体装置の微細化を進める上で有効な薄膜トランジスタ（以下、TFTと略称）の利用が図られており、例えばTFTをシリコン基板上のMOSTランジスタと組み合わせて構成したCMOS型のスタティック・メモリセルが特開平5-63160号公報等において提案されている。この種のメモリセルは、まず、図25に等価回路を示すように、このCMOS型スタティック・メモリセルでは、シリコン基板上のNチャネルの駆動用MOSTランジスタQ1およびPチャネルのTFTを負荷トランジスタQ3とするCMOSインバータと、同様にNチャネル駆動用MOSTランジスタQ4とPチャネルTFT負荷トランジスタQ6で構成され

る他のCMOSインバータとを交差接続してフリップフロップ回路を構成しており、このフリップフロップ回路がワード線WLを共有した転送用MOSTランジスタQ2およびQ5を介してビット線BLに接続されている。さらに、電源供給線Vccおよびグランド配線GNDが各々Q3およびQ6、Q1及びQ4のソース側に接続される。

【0003】このようなメモリセルの製造方法を図26、図27の製造工程断面図に示す。なお、これらの図は図28に示すレイアウト図のEF線、GH線に沿う部分の断面図である。造工程順に示したものである。先ず、図26(a)、図27(a)のように、P型シリコン基板1にフィールド酸化膜4を形成して素子領域を画成し、この素子領域にゲート絶縁膜3、ゲート電極5、ワード線15、N⁺拡散層2を形成してMOSTランジスタが構成される。このとき、ゲート電極5はセル内拡散層コンタクト8を介してN⁺拡散層2に接続される。これは、フリップフロップ回路を構成するためのCMOSインバータ間の交差接続に用いられている。このセル内拡散層コンタクト8の形成には、ゲート電極5及びワード線15の形成のポリシリコンの堆積の前に、ゲート絶縁膜3の開口加工を行っておき形成する。

【0004】次いで、図26(b)、図27(b)のように、層間膜9を堆積した後、これをシリコン基板1のN⁺拡散層8まで開口加工し、タングステン・シリサイドを堆積かつパターン加工してグランド配線30およびグランド配線コンタクト38を形成する。次に、層間膜19を形成し、層間膜9と合わせてゲート電極5まで開口加工した後にポリシリコンを堆積し、リン等のN型不純物をドーピングした後にパターン加工してTFTゲート電極25およびTFTゲート・コンタクト28を形成する。

【0005】さらに、図26(c)、図27(c)のように、TFTゲート絶縁膜43を全面に形成し、これをTFTゲート電極25上で開口加工してTFT活性層コンタクト48の領域を確保した後に、TFT活性層ポリシリコンを全面に堆積する。これには、アモルファス・シリコンを堆積し、結晶化熱処理によりポリシリコンを形成する手法が用いられる。続いて、全面に低濃度のリンなどのN型不純物をイオン注入しておき、TFTチャネル領域41の不純物濃度制御が行われることもある。パターン加工を行った後に、ボロンなどのP型不純物を選択的にイオン注入することで、TFT活性層P⁺領域40を形成する。このTFT活性層P⁺領域40は、セル内のトランジスタ間の接続のみならず、隣接セル間を接続して電源供給線として機能する。また、TFT活性層P⁺領域40形成のための高濃度イオン注入の際、レジスト・パターン等でマスクすることで、非注入領域であるTFTチャネル領域41およびTFTゲート・オフセット領域42が形成される。このうちTFTのドレイ

ン側に形成されるTFTゲート・オフセット領域42は、TFTに特有のカットオフ時のリーク電流低減構造として機能することが知られている。

【0006】しかる後、図26(d)、図27(d)のように、層間膜29を形成した後、これをシリコン基板1のN⁺活性層8に達するまで開口し、アルミニウムの配線を形成することで、ビット線50およびビット線コンタクト58が形成される。さらに、上層にカバー膜59が形成される。

【0007】ここで、図28は、シリコン基板上的N⁺拡散層2、駆動用MOSTランジスタQ1及びQ4のゲート電極5およびワード線15、等価回路上のQ3及びQ6に対応するTFTのTFTゲート電極25のパターンレイアウト、および各種コンタクトの配置を示している。図29は、N⁺拡散層2、グランド配線30のパターンレイアウト、および各種コンタクトを示している。図30は、TFTゲート電極25、TFTのソース・ドレイン・チャネルおよび電源供給配線のパターンレイアウト、および各種コンタクトを示している。図31はN⁺拡散層2、ビット線50のパターンレイアウト、およびビット線コンタクト58を示している。図28から図31において、ABCDが単位メモリセルに対応し、隣接するメモリセルの配置の対称性を表す意味でA'B'C'Dを示した。

【0008】なお、従来ではこのような下地MOSTランジスタを形成するのにSOI基板を用いることも可能である。このとき、SOI基板上的活性層N⁺領域は、シリコン基板1のN⁺拡散層に対応する。

【0009】

【発明が解決しようとする課題】このように、従来のメモリセル構造では、半導体基板の上層に4層の薄膜導電体層および1層のアルミニウム配線層が形成されており、それぞれ下層から、第1層のシリコン基板上的駆動用MOSTランジスタのゲート電極および同層で形成されるワード線、第2層として駆動用MOSTランジスタのソースに接続されているグランド配線、第3層のTFTのゲート電極、第4層のTFTのソース・ドレイン・チャネルおよび電源供給配線、第5層のアルミニウム配線により形成されるビット線により構成されている。このため、次のような問題が生じている。

【0010】第1の問題点は、従来の方法でTFTを用いるとシリコン基板上的トランジスタだけで構成した場合よりも、配線層が2層増加し、同時にコンタクト形成などの工程も増加する。その理由は、TFTのゲート電極と活性層の2層の薄膜導電体層が必要となるためである。

【0011】第2の問題点は、TFTを積層すると接続のためのコンタクト等が増大して、平面的なレイアウトの制限を招くことにある。その理由は、スタティック・メモリセルでは、フリップフロップ回路においてインバ

ータを交差接続させる必要から、TFTのソース・ドレイン領域の配置の平面的な制約は大きい。例えば、第1の問題点に対する解決として、平面的な構造のTFTにおいて、TFTのゲート電極をシリコン基板上的トランジスタと共用することは、特開平3-131065号公報において提案されているが、ゲート電極とコンタクトの両方を平面的な配置として共有することは、下地トランジスタとTFTの両方の構造パラメータを協調させることが困難である。例えば、TFTにおいては、TFT特有のリーク電流低減のために設けられるゲート・オフセット領域が設定されるが、この公報に記載の技術においては、下地トランジスタ配置間隔を増大させるしか方法はなく、高集積度に伴い占有面積の縮小化が要求されるメモリセルでは、この時のセル面積の増大は致命的である。

【0012】第3の問題点は、平面的なTFTの配置では、TFTゲートオフセット領域の位置合わせ精度により大きく特性が変動することがある。特にTFTのリーク電流値がセル間で大きくばらつくこと、高集積のメモリセル全体のスタンバイ電流値の制御が困難となる。また、TFTのオン電流も同時に影響されるので、低電圧動作に対する動作余裕度に対する問題となっていた。その理由は、従来のTFTでは、TFTゲートオフセット領域は、レジスト・パターンをマスクとしたイオン注入領域の選択により設定されるが、この時の位置合わせの精度はリソグラフィー技術の目合わせ精度に依存している。チップ全体、ウェーハ全体の目合わせ精度の絶対値の確保も重要であるが、特にスタティック・メモリセルのレイアウトでは、セル内の1対のインバータは矩形セル形状内で反転対称の位置関係に配置されるために、上下左右いずれの目合わせズレに対しても、必ずインバータ間で相補的なズレを生じ、同量のズレとなることはない。このため、電気回路設計上では等価であるはずのインバータ特性に不平衡が生じてしまい、回路動作上の問題となるためである。この第3の問題点に関連しては、縦型のTFT構造が特開平3-69168号公報にて公知となっているが、非対称なゲートオフセット構造をセルファライン化するまでには至っていなかった。

【0013】本発明の目的は、薄膜導電体層の低減を図るとともに、レイアウト設計の自由度を高め、しかも特性の安定化を可能にした半導体メモリ装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は、SOI基板上に構成され、前記SOI下地基板層を配線領域として用い、またSOI基板表面に垂直な方向にチャネル方向を有しかつ環状のゲート電極を有する縦型薄膜トランジスタを含むメモリセルを備え、前記縦型薄膜トランジスタの一方のソース・ドレイン領域が前記SOI下地基板層と接続され、また他方のソース・ドレイン領域が前記S

OI基板活性層で構成されるトランジスタと接続されてメモリセルを構成することを特徴とする。

【0015】ここで、縦型薄膜トランジスタの環状ゲート電極として、SOI基板上活性層で構成されるトランジスタにおけるゲート電極と同層の薄膜導電体層の開口断面を用いる、またSOI基板上活性層の開口断面を用いる、あるいはSOI基板上活性層で構成されるトランジスタにおけるゲート電極と同層の薄膜導電体層およびSOI基板上活性層の多層構造の開口断面を用いている。また、縦型薄膜トランジスタのゲート電極の上層の絶縁体層の膜厚により、ソース・ドレイン間に対して非対称なゲートオフセット構造を有している。

【0016】この構成によれば、第1に、SOI基板上に縦型のTFTを構成することで、TFTのゲート電極として、SOI上MOSTランジスタのゲート電極、もしくはSOI活性層の高濃度領域、あるいは両者の積層構造を用いることができる。これは、下地絶縁体層上に活性層が存在するSOI基板特有の構造上の特徴を活用したものである。

【0017】第2に、SOI上トランジスタに対して多くの相対的な位置関係をとることができ、TFTの配置の自由度が増大される。これは、縦型TFTのソース側が、セル内全域にわたって存在する配線層としてのSOI基板に直接接続されるためである。

【0018】第3に、ソース側のオフセットを決定するのは、SOI下地絶縁体層の厚さであり、ドレイン側はSOIトランジスタのゲート電極またはSOI活性層N⁺領域の上層の層間膜の厚さである。SOI下地絶縁体層の厚さは、SOIトランジスタのデバイス特性を決定する構造パラメータであり、ソース側のオフセットは、この関連を無視して独立に設定することはできないが、上層の層間膜の膜厚の設定についてはSOIトランジスタとの直接の関連はない。このため、ソース側のオフセットについては、熱処理の調節によりSOI基板からのP型不純物の拡散を促し、SOI下地絶縁体層の厚さに相当する分だけの拡散長さの調節を行うことでオフセットを無くし、一方ドレイン側については、この拡散長さを加算して層間膜の膜厚を設定することで、容易にドレイン側にのみゲートオフセット領域が形成される。したがって、トランジスタ構造の完全セルフアライン化が達成される。

【0019】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態の主要部の断面図であり、図2に示した等価回路のメモリセルを構成した例である。図2、図3を用いて製造工程を説明する。なお、これらの図は、図4のEF線、GH線に沿う断面図である。まず、図2(a)、図3(a)のように、P型基板101上にSOI下地絶縁体層103、SOI活性層112がそれぞれ形成されたSOI構

造が設けられ、前記SOI活性層112は公知のフォトリソグラフィ技術、及びドライエッチング技術を用いて、所定のパターンに加工される。ここで、SOI構造は貼り合わせ法により形成された基板を用いており、SOI活性層112、SOI下地絶縁体層103の厚さは、各々120nm、200nmである。また、活性層キャリア濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度のものを用いた。

【0020】次に、図2(b)、図3(b)のように、全面を800℃で熱酸化して5nm厚のシリコン酸化膜を形成し、さらに250nm厚のポリシリコンを順次堆積した後に、この積層構造を同時にパターン加工することによって、ゲート絶縁膜113、ゲート電極105を形成する。さらに、NチャネルMOSTランジスタ形成領域全面にヒ素イオンを加速電圧30keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入することにより、ゲート電極105、ワード線115、およびこれと自己整合的にSOI活性層112へのドーピングをおこない、SOI活性層N⁺領域102、SOI活性層チャネル領域104と合わせて、SOI上のNチャネルMOSTランジスタが構成される。このトランジスタを図2の等価回路上で示すと、ゲート電極105とのSOI活性層との交差部に形成されるのがQ1、Q4、ワード線115との交差部に形成されるのが、Q2、Q5である。また、メモリセル部以外の回路構成等で、P型のSOIトランジスタを配置する場合には、レジスト・パターンを用いたイオン注入工程を適宜追加することにより、P型不純物が導入される領域を選択することによって構成する。

【0021】次いで、図2(c)、図3(c)のように、LPCVDによって全面に200nm厚の層間膜109を堆積した後に、ゲート電極105上、及びSOI活性層N⁺領域102上に、ゲート・コンタクト168及びセル内SOI活性層コンタクト108を開口加工した。さらに、図2(d)、図3(d)のように、層間膜109、ゲート電極105、ゲート絶縁膜113、SOI下地絶縁体層103の4層構造に対して、P型基板101に達するまで、開口加工をおこない、縦型TFTゲート開口領域118を形成した。この後、全面に6nm厚のLPCVDシリコン酸化膜を堆積し、エッチングバック処理をおこなうと、縦型TFTゲート開口領域118の内周側壁部に特徴的にTFTゲート絶縁膜143が形成される。

【0022】さらに、図2(e)、図3(e)のように、520℃でのジシランガスの熱分解のLPCVD法により、全面に50nm厚のアモルファス・シリコン層を堆積し、610℃の不活性ガス雰囲気中での熱処理で固相成長法により結晶化を行い、TFTの活性層となるポリシリコン層を形成した。このポリシリコン層をパターン加工した後、さらに全面に100nm厚のLPCVDシリコン酸化膜を堆積し、これをエッチングバックす

ることで、縦型TFTゲート開口領域118部の最内周部に内壁酸化膜142を形成する。そしてボロンを加速電圧15keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ でイオン注入することで、最表面ではTFT活性層P⁺領域140が形成され、また縦型TFTゲート開口領域118の底面部には、P型基板101との電気的接続のために基板コンタクト178が形成されるが、内壁酸化膜142に覆われた縦型TFTゲート開口領域118の内周部に形成されたポリシリコン層に対しては、ボロンがイオン注入されないTFTチャネル領域141が形成される。

【0023】よって、SOI上のゲート電極105を共有し、チャネル方向が基板に垂直な方向の縦型TFTが形成される。このTFTは、図の等価回路上では、Q3、Q6に相当し、基板コンタクト178を介してVcc供給領域としてのP型基板101に接続されることになる。また、セル内SOI活性層コンタクト108により、TFTとSOI上トランジスタとが接続され、ゲートコンタクト168により、TFTとゲート電極105との接続が行われる。図5のレイアウトでのゲート電極105の形状に見るように、このゲートコンタクト168は、セル内の他方のSOI上トランジスタへの接続(Q1からQ4、またはQ4からQ1)の機能を果たしている。ここにおいて、1対のCMOS構成インパタ入出力を交差接続して構成されるフリップフロップ回路の主要部が形成される。

【0024】次に、図2(f)、図3(f)のように、グラウンド配線、ビット線との配線接続構造を形成する。ボロン、リンドーパのCVDシリコン酸化膜BPSGを400nm厚に堆積し、層間膜129を形成する。この後、イオン注入した不純物の活性化のために900℃程度の熱処理を行う。このとき、TFTゲートオフセット長さの調整を考慮して処理時間を設定するのが有効である。次に、SOI活性層N⁺領域102への接続のための開口加工することで、ビット線コンタクト158、及びグラウンド配線コンタクト138(図6(a)参照)を形成する。さらに、600nm厚のアルミニウムを堆積した後、配線パターンに形状加工することで、グラウンド配線130、ビット線150を形成した。この後、800ナノメートル厚のプラズマCVD酸化窒化膜でカバー膜159を形成した。

【0025】なお、図4ないし図6は、層別に分解して示したセルレイアウトを説明する平面図であり、図中ABCDが図2に示したフリップフロップ回路を用いたスタティック型メモリセル単位に相当する。配置の対称性を明確にする意味で図中AB'C'Dに、隣接して配置されるセルを示している。図4は、主としてSOI上のトランジスタの配置を示すために、SOI活性層、SOI上トランジスタのゲート電極及びワード線、その他コンタクト等を選択して図示したものである。図5は、図4に加えて、TFT活性層のパターン形状、縦型TFT

の形成領域を図示したものである。図6には、アルミニウム層で形成されるグラウンド配線及びビット線、SOI活性層、コンタクトの配置を図示した。

【0026】次に、このメモリセルの動作について説明する。ゲート電極105の一部は、環状に開口加工され、その開口断面が縦型TFTのゲート電極となっているために、等価回路で示されるQ1、Q3のSOI上トランジスタとTFTのゲート電極は常に同電位である。このゲート電極がVccに相当する電位に設定されていたとすると、TFTのソース側は電源供給配線として機能するSOI基板101に接続されており、Vcc相当の電位となるために、Q3のTFTはオフしている。逆にQ1の駆動用MOSTランジスタは、オンとなってドレイン側もソース側と同じくグラウンド電位に設定される。このときのドレイン側のSOI活性層N⁺領域102は、セル内SOI活性層コンタクト108を介して、他方のインパタのゲート電極に接続され、この電位がグラウンド電位に設定される。また同時に、ワード線215が高い電位に設定されていれば、転送用MOSTランジスタQ2がオンとなり、ビット線コンタクト158を介してビット線150へ、この駆動用MOSTランジスタのドレイン側の電位の情報が送られ、センスアンプなどのメモリセル周辺回路により処理される。また、逆にビット線150から電位を設定することも可能である。以上のようにして、セル内の1対のインパタが、相補的なデータ電位を保持するスタティック型メモリセルとして動作する。

【0027】次に、本発明の第2の実施形態を説明する。図7および図8は図10に示すレイアウト図のEF線、GH線の断面構造を製造工程順に示す図である。また、図9はその工程の一部を詳細に示す断面図である。この第2の実施例では、第1の実施例とは異なり、グラウンド配線をTFT活性層を形成するポリシリコン層で形成することを主な特徴としている。この構成では、アルミニウムの配線層がビット線のみとなり、1セル当たり2本となるので、セル面積の縮小に有効となる。まず、図7(a)、図8(a)において、SOI基板としては、抵抗率 $0.01 \Omega \cdot \text{cm}$ 程度の低抵抗のP⁺基板201の上に、層厚2000nm、抵抗率 $6 \Omega \cdot \text{cm}$ でエピタキシャル成長したPエピタキシャル層291を有する基板を出発材料として、貼り合わせ法により、300nm厚のSOI下地絶縁体層203、80nm厚のSOI活性層厚の構造を形成したものをを用いる。第1の実施形態と同様にして、SOI活性層チャネル領域204、SOI活性層N⁺領域202、ゲート電極250またはワード線215から構成されるSOI上のNチャネルMOSFETが形成される。

【0028】次に、図7(b)、図8(b)、図9(a)のように、全面にLPCVDによって240nm厚のシリコン酸化膜を堆積して、層間膜209を形成し

た後、ゲート・コンタクト268、セル内SOI活性層コンタクト208、グランド配線コンタクト238（図10参照）の3種のコンタクトを同時に開口加工する。この後、図7（c）、図8（c）、図9（b）のように、TFT活性層となるポリシリコンを第1の実施形態と同様に全面に形成し、パターン加工を行う。ここで、この実施形態においては、このポリシリコン層を用いてグランド配線領域245を同時に形成する。縦型TFTの形成については、第1の実施形態と同様の工程を用いて、TFTゲート酸化膜243、内壁酸化膜242との積層構造の形成、さらにはボロンのイオン注入によるTFT活性層P⁺領域240の形成を経て、縦型TFTが構成される。

【0029】このときのグランド配線領域245の製造工程を細分化して示したのが図9（c）及び（d）である。グランド配線は、SOI活性層N⁺領域202に対してグランド配線コンタクト238を介してSOI上のNチャネルトランジスタに接続されるので、TFT活性層と同様にP型不純物が導入すると、この接続部にPN接合が形成され、かつセル動作の電位の設定上、逆方向にバイアスされることになる。そこで、TFT活性層P⁺領域240に対するボロンのイオン注入工程では、グランド配線領域245をレジスト277で覆って行っている。また、グランド配線領域245へのリンのイオン注入については、レジスト278で、TFT活性層P⁺領域240を覆って、加速エネルギー35keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で行っている。

【0030】この後、図7（d）、図8（d）のように、BPSGによる層間膜229を500nm厚で全面に堆積し、ビット線コンタクト258の開口加工を行い、さらに全面にアルミを堆積してパターン加工を行い、ビット線250を形成し、その上でカバー膜259を形成する。

【0031】なお、図10ないし図12は、層別に分解して示したセルレイアウトを説明する平面図であり、図中ABCDに単位セル、及びAB'C'Dに隣接して配置されるセルを示している。図10は、主としてSOI上のトランジスタの配置を示すために、SOI活性層、SOI上トランジスタのゲート電極及びワード線、その他コンタクト等を選択して図示したものである。図11は、図10に加えて、TFT活性層のパターン形状、縦型TFTの形成領域、TFT活性層と同層で形成されるグランド配線領域を図示したものである。図12には、SOI活性層、グランド配線、アルミニウム層で形成されるビット線、ビット線コンタクト等の配置を図示した。

【0032】本発明の第3の実施形態を図13用いて説明する。同図は図14のレイアウト図のEF線断面図である。この第3の実施形態では、縦型TFTのゲート電極として、SOI活性層N⁺領域を用いることを主な特

徴としている。まず、図13（a）のように、SOI基板の各層の初期厚さとしては、300nm厚のSOI下地絶縁体層303、200nm厚のSOI活性層を用いる。このSOI活性層の厚さの選択は、SOI活性層N⁺領域302を縦型TFTのゲート電極として用いるために、SOI上のトランジスタ及びTFTの両方のデバイスパラメータを考慮して決定する必要がある。ここでは、SOI活性層のキャリア濃度を $1 \times 10^{15} \text{ cm}^{-3}$ 程度と低濃度化することで、さらにSOI上のトランジスタのパラメータ最適化を行う。

【0033】次いで、第2の実施形態と同様にSOI活性層のパターニングを行い、全面にゲート絶縁膜313を形成した後に、このゲート絶縁膜313に対して開口加工を行い、セル内SOI活性層コンタクト308を形成する。この後に、ポリシリコン層を堆積し、全面にリンをドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 程度でイオン注入する。このあらかじめドーピングを行ったゲート電極及びワード線形成用のポリシリコンをパターン加工した後に、さらに全面にヒ素等のN型不純物をイオン注入してSOI活性層N⁺領域302を形成し、かつこれと同時にゲート電極305にはヒ素がドーピングされる。この後、800℃20分程度の熱処理を行うと、セル内SOI活性層コンタクト308部においても、上層のゲート電極305からのリンの拡散が生じて下層のSOI活性層にもドーピングされ、さらに隣接する上層にゲート電極305を有しないSOI活性層周辺にもリンの横方向の拡散が生じるために、セル内SOI活性層コンタクト308部分には連続した領域としてのSOI活性層N⁺領域302の形成が行われる。

【0034】次いで、図13（b）のように、第2の実施形態と同様にLPCVDシリコン酸化膜の堆積で層間膜309を形成し、ゲート・コンタクト368を開口加工する。このゲート・コンタクト368は、第2の実施形態とは異なり、SOIトランジスタのチャネル領域のゲート電極305上に形成される。次に、図13（c）のように、層間膜309、SOI活性層N⁺領域302、SOI下地絶縁体層303の3層構造に対して、P型基板301に達するまで開口加工を行い、縦型TFTゲート開口領域318を形成し、LPCVDシリコン酸化膜を堆積し、エッチングバックすることで、縦型TFTゲート開口領域318の内周にTFTゲート絶縁膜343を形成する。

【0035】さらに、図13（d）のように、第2の実施形態の図7（c）の工程と同様の工程で縦型TFTを形成する。グランド配線領域345の形成は、第2の実施例とは異なりN型不純物のイオン注入はせず、TFT活性層P⁺領域340と同時にP⁺領域として形成する。その後、図13（e）のように、層間膜329を堆積し、グランド配線第1コンタクト338をSOI活性層N⁺領域302に対して、またグランド配線第2コン

タクト348をグランド配線領域345に対してそれぞれ開口加工して形成し、アルミニウムによりビット線350、コンタクト形成電極388を形成する。これは、グランド配線領域345はP⁺領域として形成されているために、PN接合形成を避けるために、直接SOI活性層N⁺領域302とのコンタクトとはせずに別々のコンタクトを形成した後に、アルミニウム配線によるコンタクト形成電極388を用いて、両方の領域に対して良好な電氣的接続を形成するものである。さらに、アルミニウム配線の上層にカバー膜359を形成する。

【0036】この第3の実施形態では、縦型TFTのゲート電極として、SOI活性層N⁺領域302を用いるために、ゲート電極305及びワード線315の材料の選択においては、縦型TFT構造とは分離して設定可能である。故に、通例「ポリサイド構造」と称されるポリシリコン層とタングステン・シリサイド層の2層構造等も用いることが可能となり、ワード線の配線抵抗の低抵抗化などで有利である。

【0037】なお、図14ないし図16は、層別に分解して示したセルレイアウトを説明する平面図であり、図中ABCDに単位セル、及びAB'C'Dに隣接して配置されるセルを示している。図14は、主としてSOI上のトランジスタの配置を示すために、SOI活性層、SOI上トランジスタのゲート電極及びワード線、その他コンタクト等を選択して図示したものである。図15は、図14に加えて、TFT活性層のパターン形状、縦型TFTの形成領域、TFT活性層と同層で形成されるグランド配線領域を図示したものである。図16には、SOI活性層、グランド配線、アルミニウム層で形成されるビット線及びコンタクト形成電極、ビット線コンタクト及びグランド配線とコンタクト形成電極とのコンタクト等の配置を図示している。

【0038】本発明の第4の実施形態を図17を用いて説明する。同図は図18に示すレイアウト図のEF線断面図であり、この第3の実施形態では、縦型TFTのゲート電極として、SOI活性層N⁺領域及びSOIトランジスタ・ゲート電極のポリシリコンの2層構造を用いることを主な特徴としている。先ず、図17(a)のように、第3の実施形態と同様にSOI基板の活性層のパターニングを行い、全面にゲート絶縁膜413を形成した後に、このゲート絶縁膜413に対して開口加工を行い、セル内SOI活性層コンタクト408を形成する。さらに、第3の実施形態と同様に、ポリシリコンの堆積と全面ドーピングを行い、ゲート電極405及びワード線415をパターン加工し、その後に全面にヒ素のドーピングを行うことで自己整合的にSOI活性層N⁺領域402を形成する。この第4の実施形態では、SOI基板の各層の初期厚さとしては、200nm厚のSOI下地絶縁体層403、40nm厚のSOI活性層を用いる。

【0039】次に、図17(b)のように、層間膜409を堆積した後に、縦型TFTゲート開口領域418をセル内SOIコンタクト408部の内部に形成する。このことにより、縦型TFTのゲート電極としては、SOI活性層N⁺領域402とゲート電極405の2層構造で形成される。この開口部の内周にTFTゲート絶縁膜443を形成する。以下、図17(c)、(d)のように、第3の実施形態の図13(c)および図13(d)と同様に、以後の構造を形成する。

【0040】なお、図18ないし図20は、層別に分解して示したセルレイアウトを説明する平面図であり、図中ABCDに単位セル、及びAB'C'Dに隣接して配置されるセルを示している。図18は、主としてSOI上のトランジスタの配置を示すために、SOI活性層、SOI上トランジスタのゲート電極及びワード線、その他コンタクト等を選択して図示したものである。図19は、図18に加えて、TFT活性層のパターン形状、縦型TFTの形成領域、TFT活性層と同層で形成されるグランド配線領域を図示したものである。図20には、SOI活性層、グランド配線、アルミニウム層で形成されるビット線及びコンタクト形成電極、ビット線コンタクト及び、グランド配線とコンタクト形成電極とのコンタクト等の配置を図示している。

【0041】本発明の第5の実施形態を図21を用いて説明する。同図は図22に示すレイアウト図のEF線断面図である。この第5の実施形態では、縦型TFTのゲート電極としては、第4の実施形態と同じ構造を用いるが、TFT活性層ポリシリコンとSOIトランジスタのゲート電極とのコンタクトの配置については、SOIトランジスタ・チャネル領域の上層に形成することを主な特徴としている。図21に示す製造工程は、図17に示された第4の実施形態と同様である。ゲートコンタクト568が、SOI活性層チャネル領域504上層のゲート電極505に形成されていることから、パターンレイアウト設計上、特にセル長辺方向についてSOI活性層N⁺領域502との目合わせマージンが拡大する利点がある。

【0042】なお、図22ないし図24は、層別に分解して示したセルレイアウトを説明する平面図であり、図中ABCDに単位セル、及びAB'C'Dに隣接して配置されるセルを示している。図24は、主としてSOI上のトランジスタの配置を示すために、SOI活性層、SOI上トランジスタのゲート電極及びワード線、その他コンタクト等を選択して図示したものである。図25は、図24に加えて、TFT活性層のパターン形状、縦型TFTの形成領域、TFT活性層と同層で形成されるグランド配線領域を図示したものである。図26には、SOI活性層、グランド配線、アルミニウム層で形成されるビット線及びコンタクト形成電極、ビット線コンタクト及び、グランド配線とコンタクト形成電極とのコン

タクト等の配線を図示している。

【0043】

【発明の効果】以上説明したように本発明は、SOI基板上に構成され、前記SOI下地基板層を配線領域として用い、またSOI基板表面に垂直な方向にチャンネル方向を有しかつ環状のゲート電極を有する縦型薄膜トランジスタの一方のソース・ドレイン領域がSOI下地基板層と接続され、また他方のソース・ドレイン領域がSOI基板活性層で構成されるトランジスタと接続されてメモリセルを構成しているため、次のような効果を得ることができる。

【0044】第1の効果は、SOI基板上に縦型TFTを用いてメモリセルを構成し、かつSOI基板を電源供給配線として用いることで、TFT活性層ポリシリコン層の1層を追加するのみで、TFT負荷のCMOSスタティック型メモリセルを達成できた。その理由は、SOI基板上の活性層、またはSOI基板上のトランジスタのゲート電極、さらには、両者の積層構造の断面を用いて、TFTのゲート電極とすることができたからである。

【0045】第2の効果は、SOI基板を縦型TFTを介して接続することで、TFT配置のレイアウト設計上の多くの自由度を確保することができた。その理由は、電源供給としてのSOI基板は、セル内の全域にわたって存在し、縦型TFT構造として、開口加工を行った部分に、そのままコンタクトが形成されるため、別途にコンタクト形成領域の配置を考慮する必要がないためである。

【0046】第3の効果は、メモリセル内のトランジスタ特性のばらつきが従来の5分の1程度に抑えられ、低電圧動作に対する動作余裕度が向上した。その理由は、SOI基板を電源供給配線として用い、その上層に縦型TFTをスタティック型メモリセルに用いることで、SOI基板上のトランジスタ、TFT両方に対して、完全セルフライン構造を達成できた。特にTFTのドレイン側にのみ非対称に配置されるゲートオフセット領域のセルフライン構造を達成できたためである。より具体的には、PチャンネルTFTのソース側に接続される電源配線層を縦型TFTの下層領域にSOI基板を用いて配置できたために、TFTのドレイン側のみSOI基板上の上層の層間膜の膜厚の制御により、独立にかつ制御性良くTFTゲートオフセット領域を設定することが可能となったことによる。このため、大規模集積度のメモリセル全体において、フリップフロップ回路動作の対称性が確保され、スタティック・ノイズ・マージンのばらつきが小さく制御され、低電圧動作時の少数ビット動作不良が大幅に低減できたためである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の主要部の断面図である。

【図2】本発明の第1の実施形態を製造工程順に示す断面図であり、図4のEF線に沿う断面図である。

【図3】本発明の第1の実施形態を製造工程順に示す断面図であり、図4のGH線に沿う断面図である。

【図4】本発明の第1の実施形態の層別のレイアウト図のその1である。

【図5】本発明の第1の実施形態の層別のレイアウト図のその2である。

【図6】本発明の第1の実施形態の層別のレイアウト図のその3である。

【図7】本発明の第2の実施形態を製造工程順に示す断面図であり、図9のEF線に沿う断面図である。

【図8】本発明の第2の実施形態を製造工程順に示す断面図であり、図9のGH線に沿う断面図である。

【図9】図7および図8の各製造工程の一部を詳細に示す断面図である。

【図10】本発明の第2の実施形態の層別のレイアウト図のその1である。

【図11】本発明の第2の実施形態の層別のレイアウト図のその2である。

【図12】本発明の第2の実施形態の層別のレイアウト図のその3である。

【図13】本発明の第3の実施形態を製造工程順に示す断面図であり、図14のEF線に沿う断面図である。

【図14】本発明の第3の実施形態の層別のレイアウト図のその1である。

【図15】本発明の第3の実施形態の層別のレイアウト図のその2である。

【図16】本発明の第3の実施形態の層別のレイアウト図のその3である。

【図17】本発明の第4の実施形態を製造工程順に示す断面図であり、図18のEF線に沿う断面図である。

【図18】本発明の第4の実施形態の層別のレイアウト図のその1である。

【図19】本発明の第4の実施形態の層別のレイアウト図のその2である。

【図20】本発明の第4の実施形態の層別のレイアウト図のその3である。

【図21】本発明の第5の実施形態を製造工程順に示す断面図であり、図22のEF線に沿う断面図である。

【図22】本発明の第5の実施形態の層別のレイアウト図のその1である。

【図23】本発明の第5の実施形態の層別のレイアウト図のその2である。

【図24】本発明の第5の実施形態の層別のレイアウト図のその3である。

【図25】本発明が適用されるSRAMの等価回路図である。

【図26】従来のメモリセルを製造工程順に示す断面図であり、図28のEF線に沿う断面図である。

【図27】従来のメモリセルを製造工程順に示す断面図であり、図28のGH線に沿う断面図である。

【図28】従来のメモリセルの層別のレイアウト図のその1である。

【図29】従来のメモリセルの層別のレイアウト図のその2である。

【図30】従来のメモリセルの層別のレイアウト図のその3である。

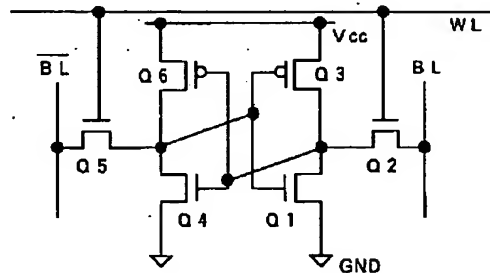
【図31】従来のメモリセルの層別のレイアウト図のその3である。

【符号の説明】

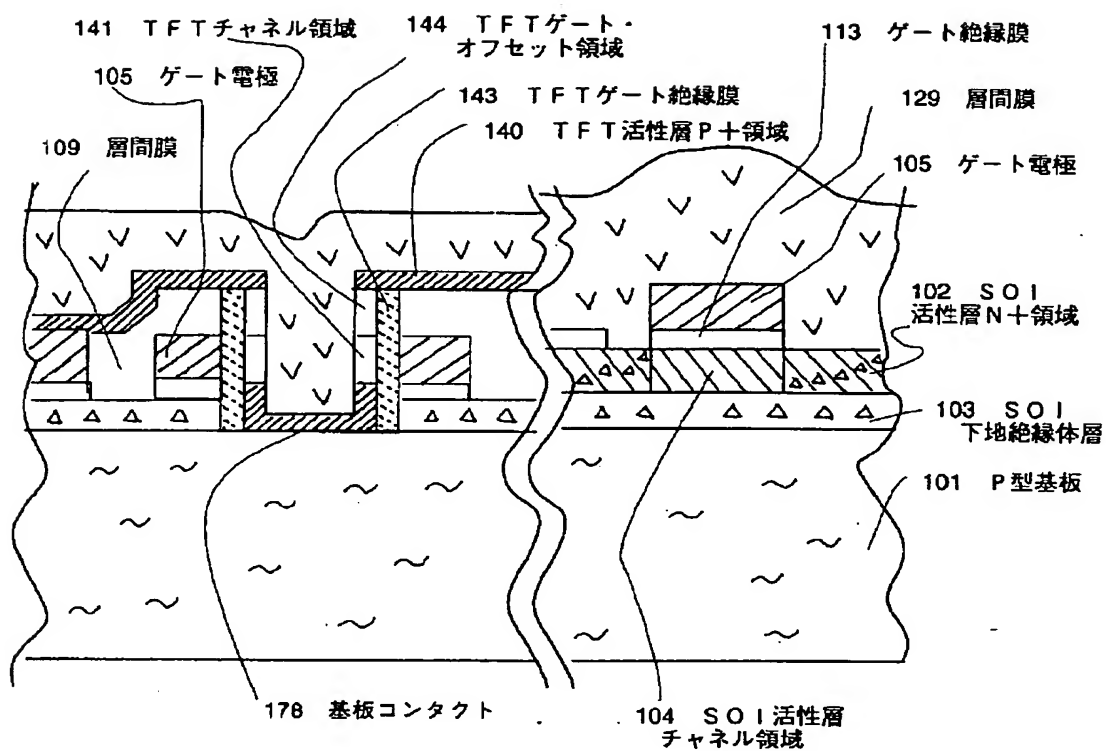
1, 101, 301, 401, 501 P型基板
2 N⁺拡散層
3, 113, 213, 313, 413, 513 ゲート絶縁膜
5, 105, 205, 305, 405, 505 ゲート電極
8 セル内拡散層コンタクト
25 TFTゲート電極
28 TFTゲートコンタクト
42, 144 TFTゲートオフセット領域
247 TFT活性層ポリシリコン
48 TFT活性層コンタクト
118, 218, 318, 418, 518 縦型TFTゲート開口領域
40, 140, 240, 340, 440, 540 TFT活性層P⁺領域
41, 141, 241, 341, 441, 541 TFTチャネル領域
142, 242, 342, 442, 542 内壁酸化膜
43, 143, 243, 343, 443, 543 TFTゲート絶縁膜

15, 115, 215, 315, 415, 515 ワード線
50, 150, 250, 350, 450, 550 ビット線
58, 158, 258, 358, 458, 558 ビット線コンタクト
102, 202, 302, 402, 502 SOI活性層N⁺領域
103, 203, 303, 403, 503 SOI下地絶縁体層
104, 204, 304, 404, 504 SOI活性層チャネル領域
108, 208, 308, 408, 508 セル内SOI活性層コンタクト
112 SOI活性層
178, 278, 378, 478, 578 基板コンタクト
30, 130 グランド配線
245, 345, 445, 545 グランド配線領域
38, 138, 238 グランド配線コンタクト
338, 438 グランド配線第1コンタクト
348, 448 グランド配線第2コンタクト
288, 388, 488, 588 コンタクト形成電極
548 共通コンタクト
277, 278 レジスト
291 Pエピタキシャル層
201 P⁺基板
9, 19, 29, 109, 129, 209, 229, 309, 329, 409, 429, 509, 529 層間膜
59, 159, 259, 359, 459, 559 カバ一膜

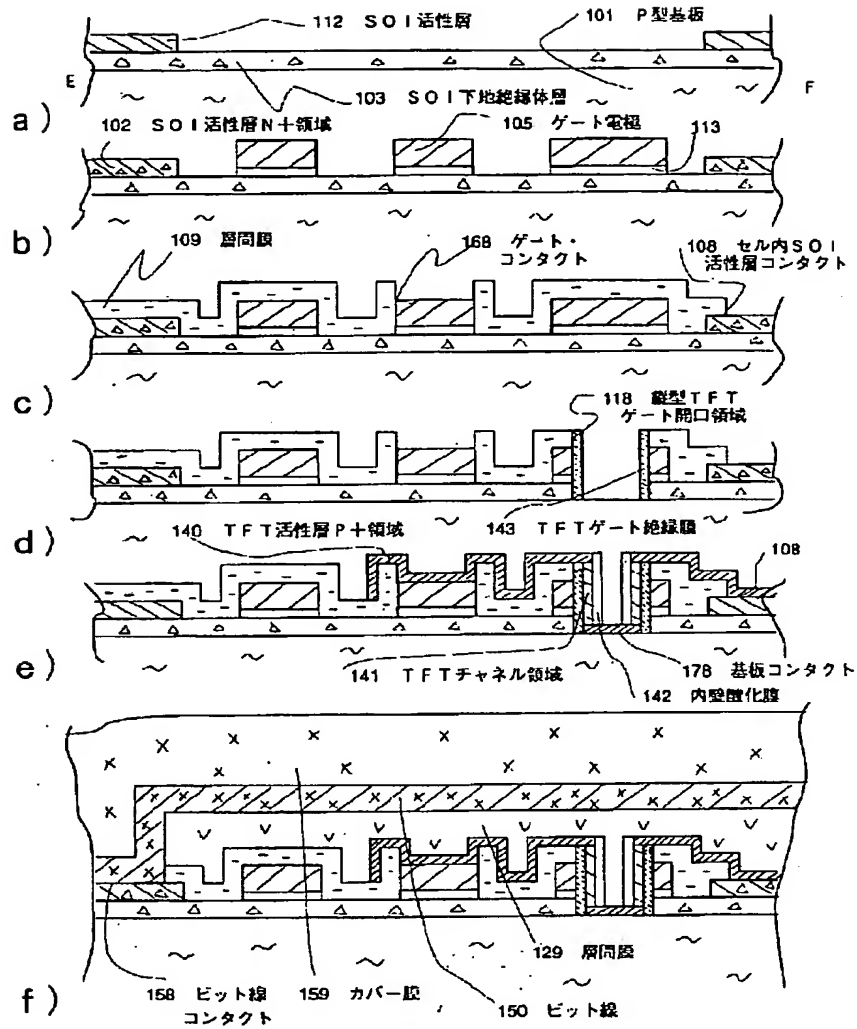
【図25】



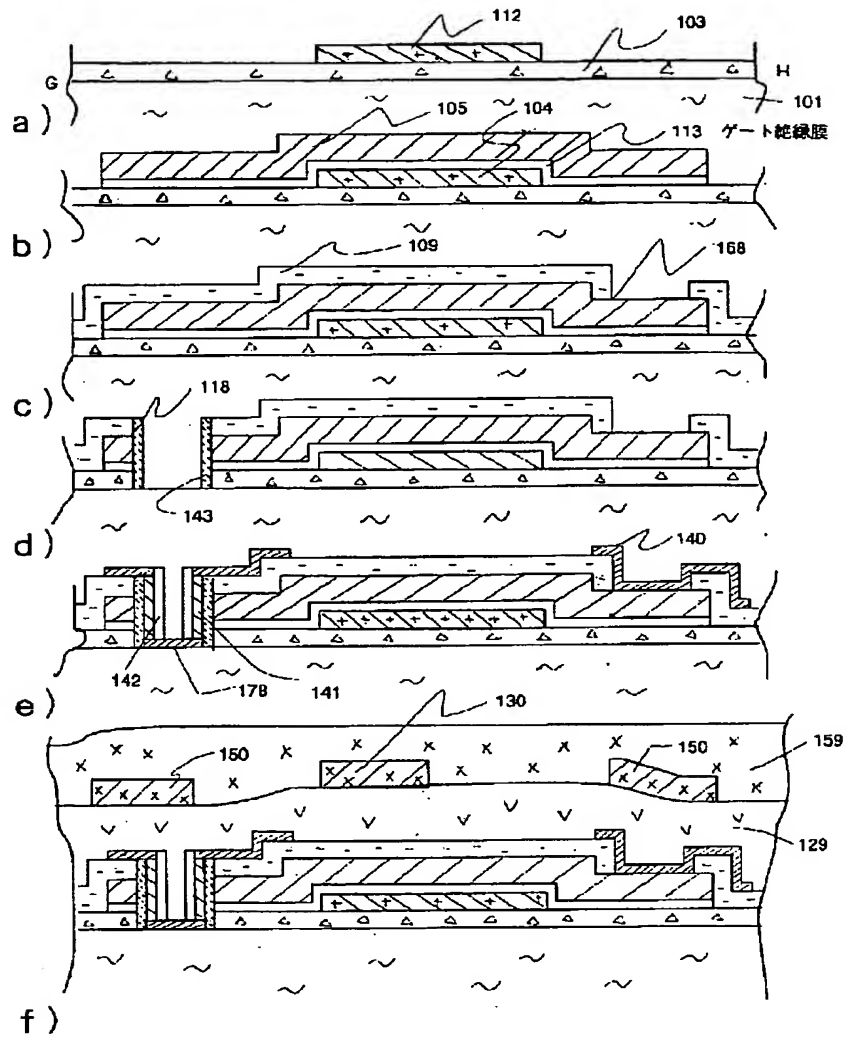
【図1】



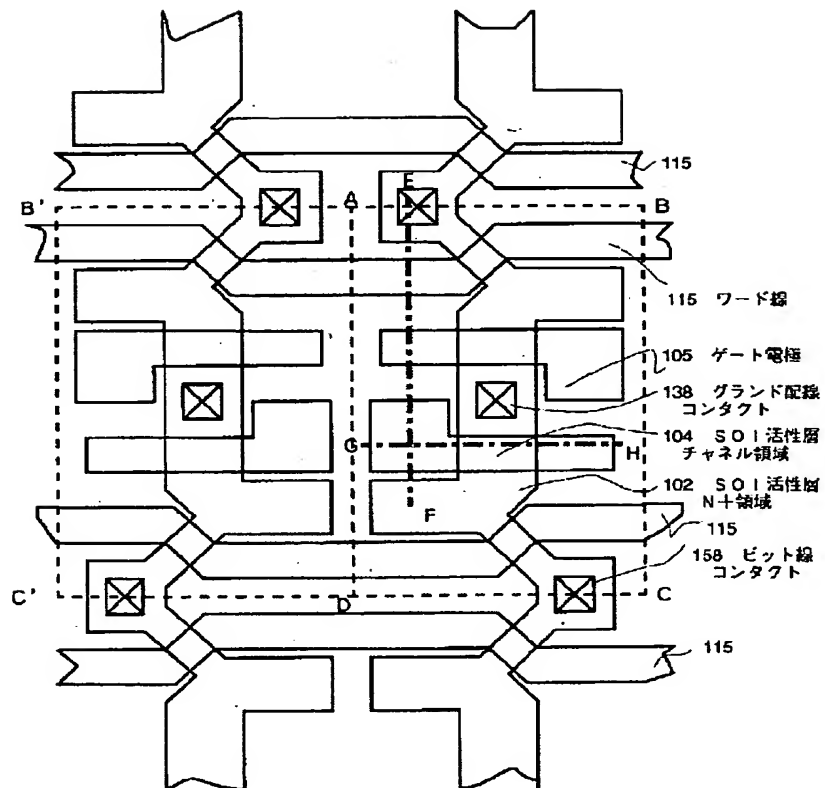
【図2】



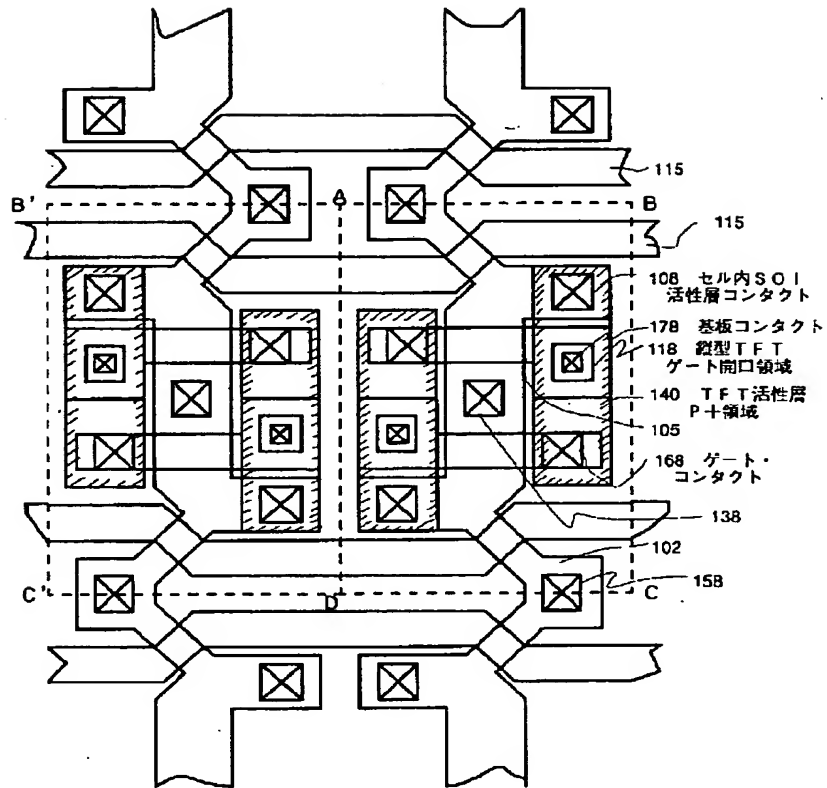
【図3】



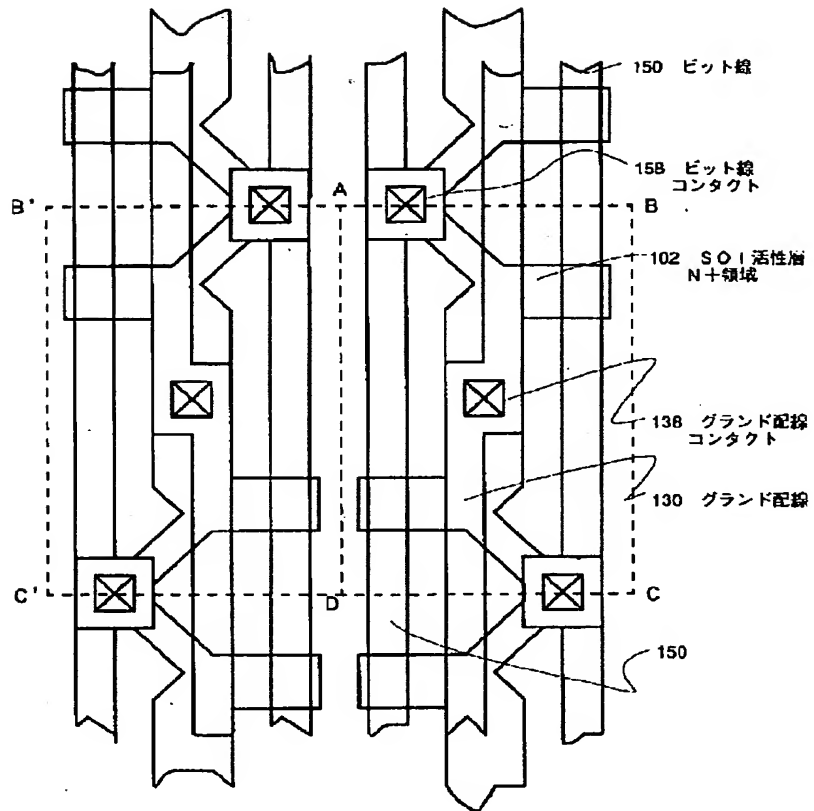
【図4】



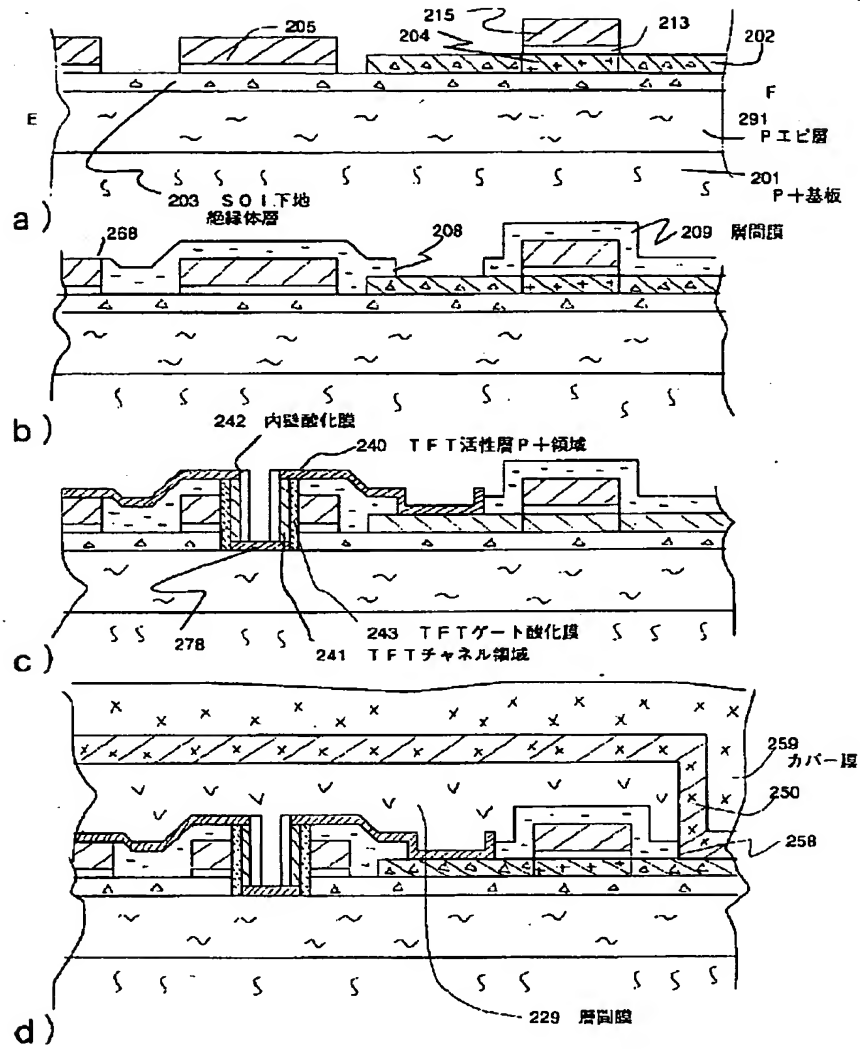
【図5】



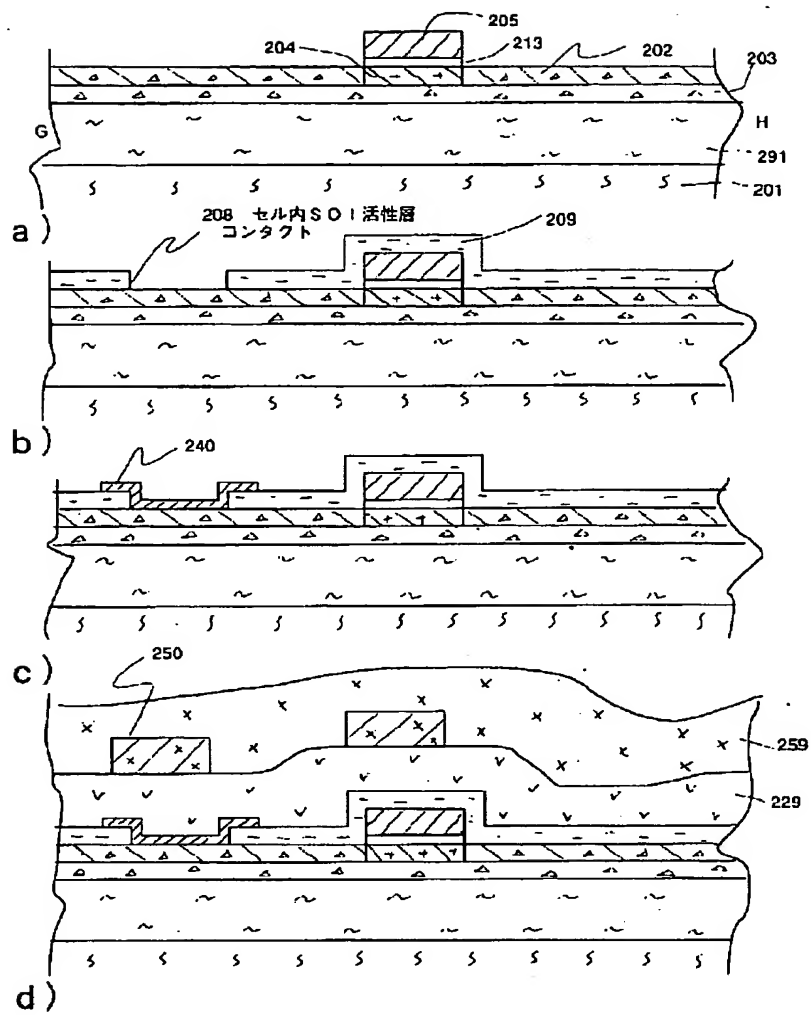
【図6】



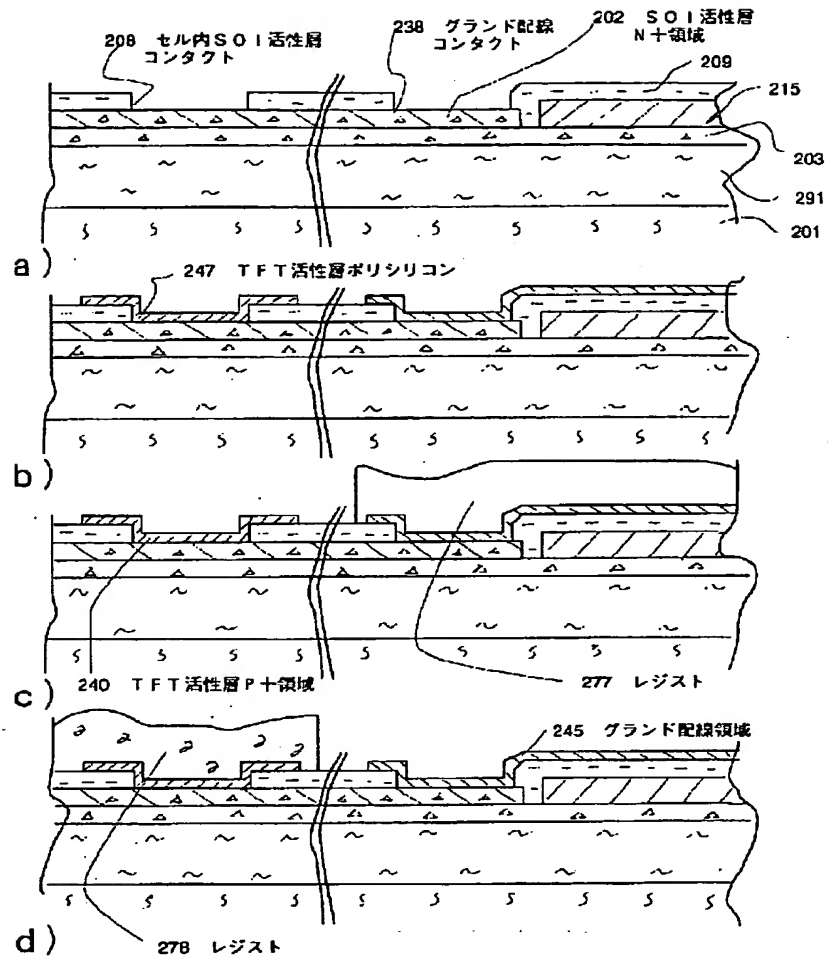
【図7】



【図8】



【図9】

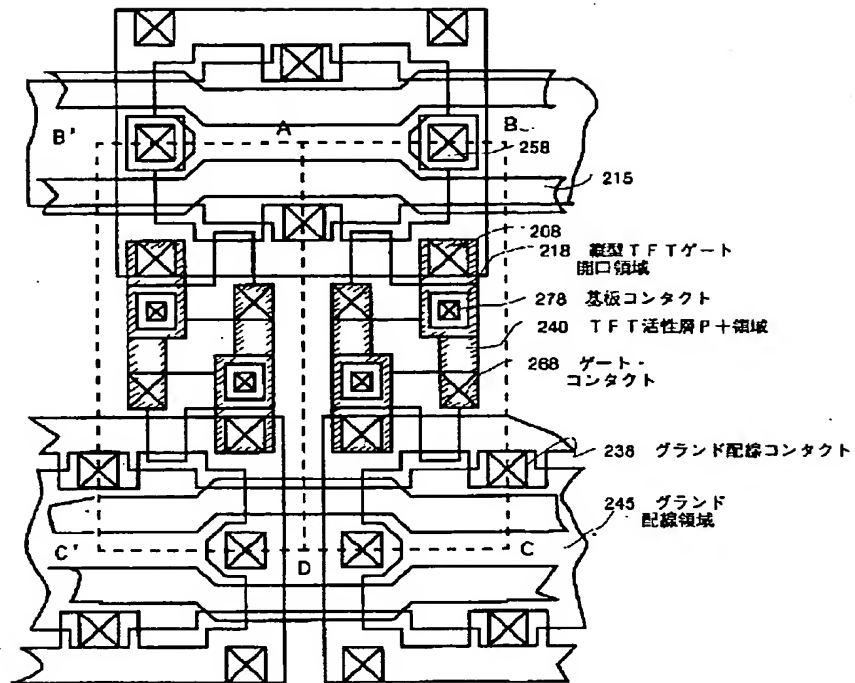


Plan view of a TFT array substrate. The diagram shows a 2x2 grid of TFTs. Labels and components include:

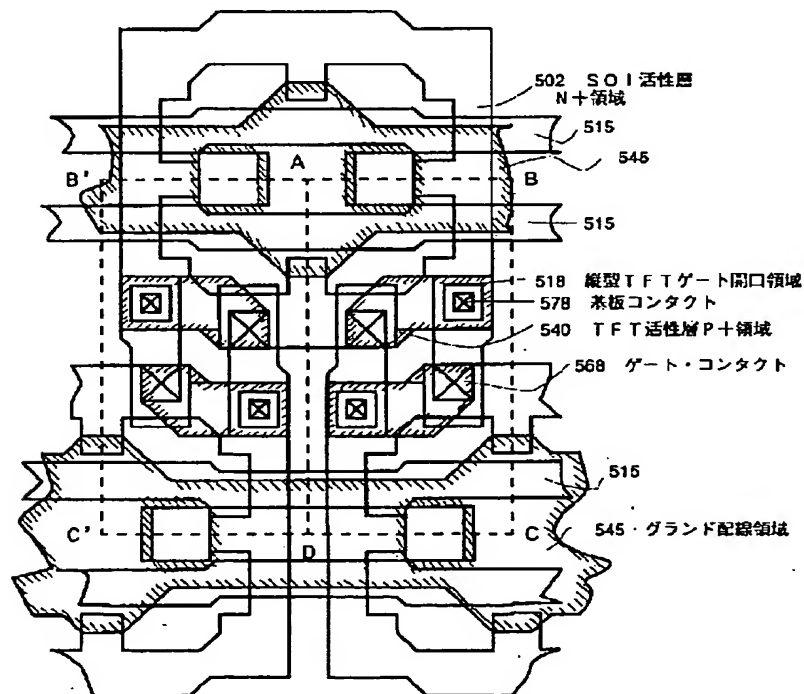
- 25 TFTゲート電極 (TFT gate electrode)
- 48 TFT活性層コンタクト (TFT active layer contact)
- 42 TFTゲート・オフセット領域 (TFT gate offset region)
- 41 TFTチャネル領域 (TFT channel region)
- 40 TFT活性層P+領域 (TFT active layer P+ region)

Dashed lines A-A' and B-B' indicate cross-sections. A central region is labeled D.

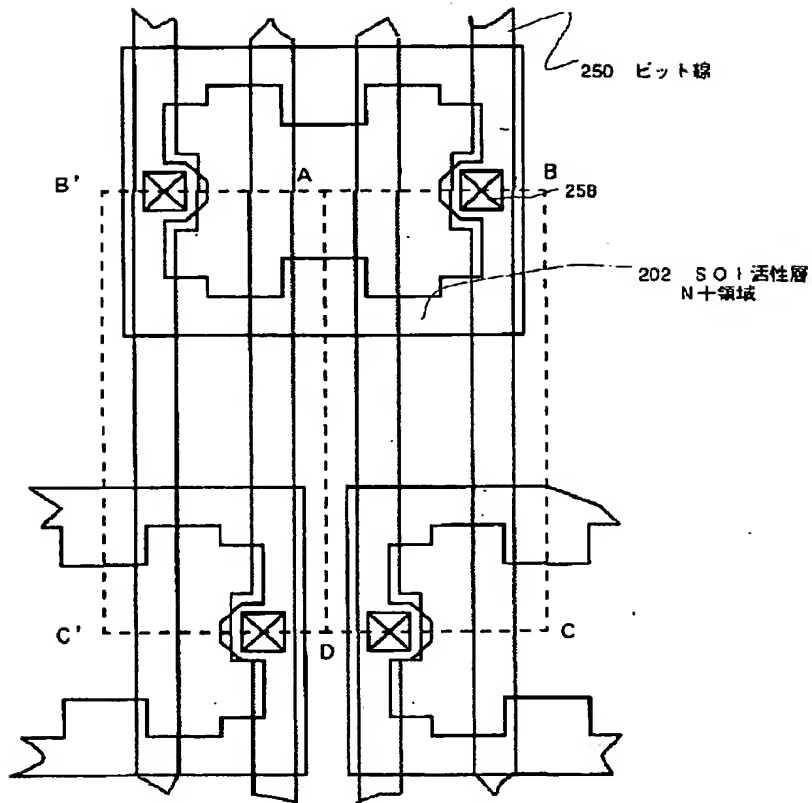
【図11】



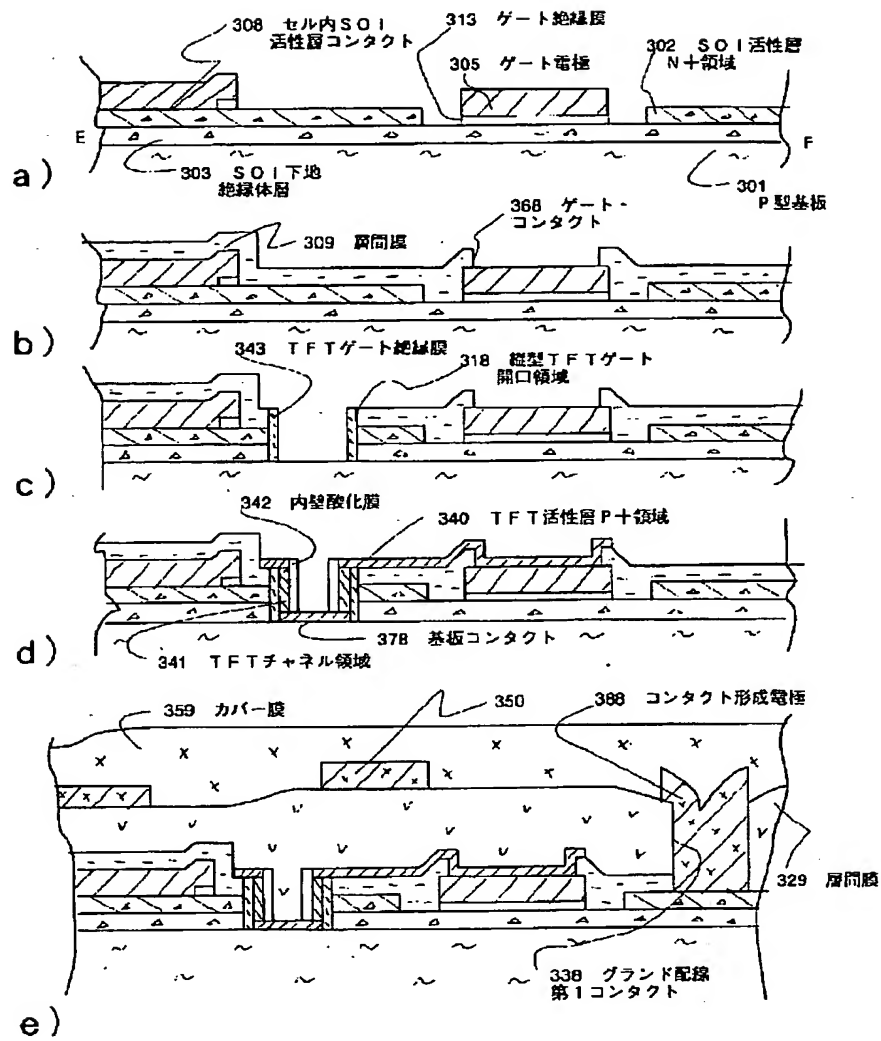
【図23】



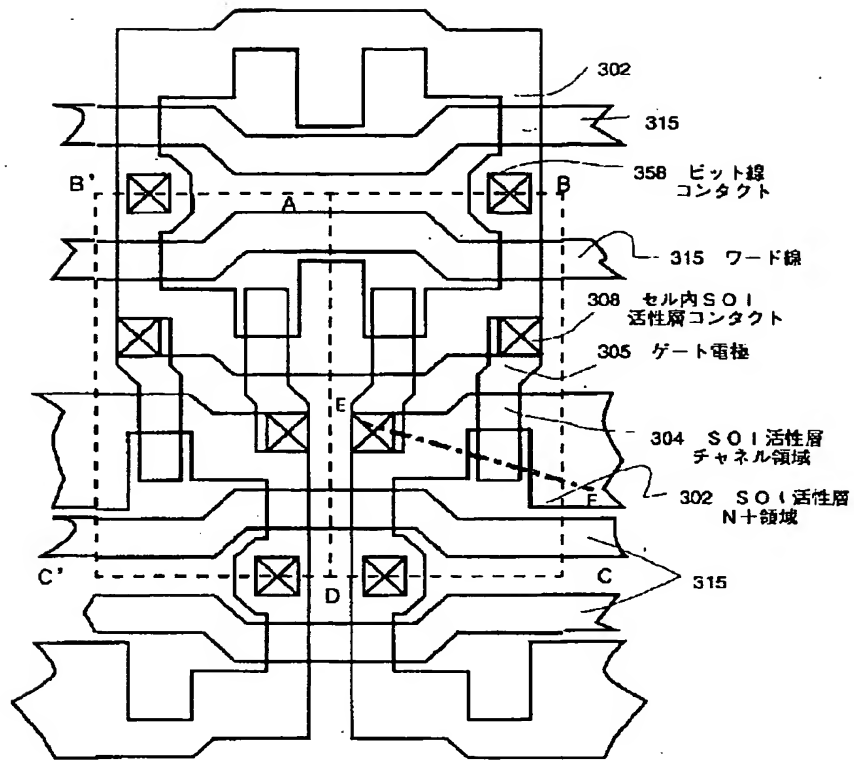
【図12】



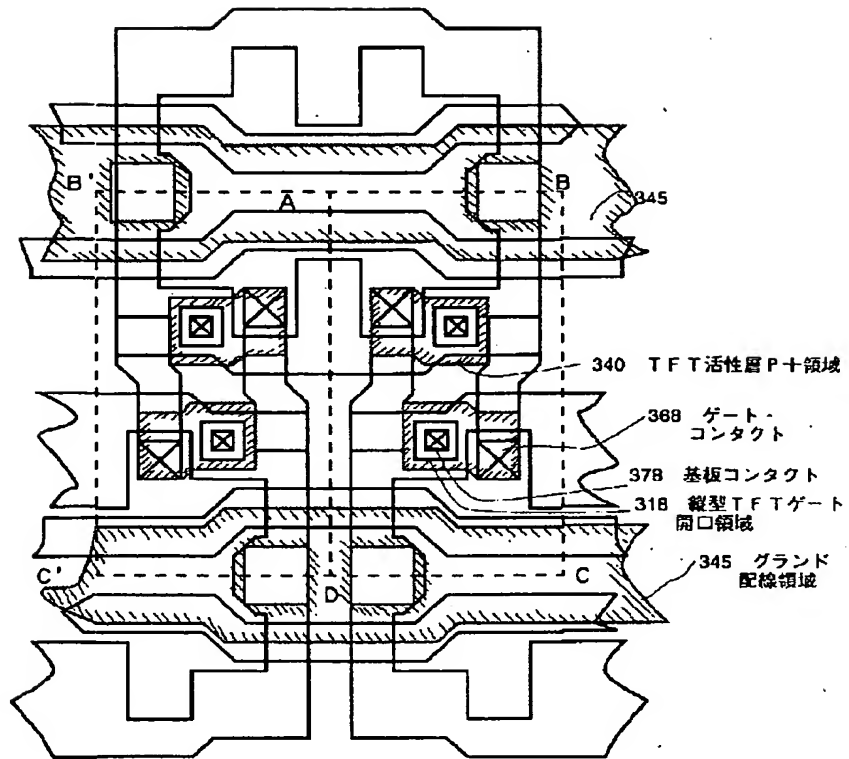
【図13】



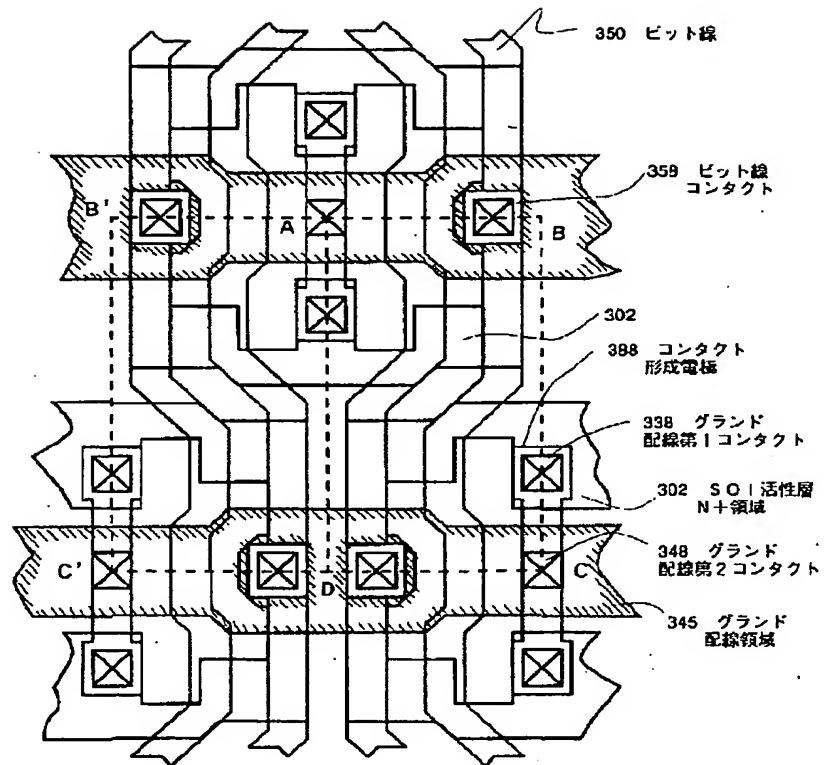
【図14】



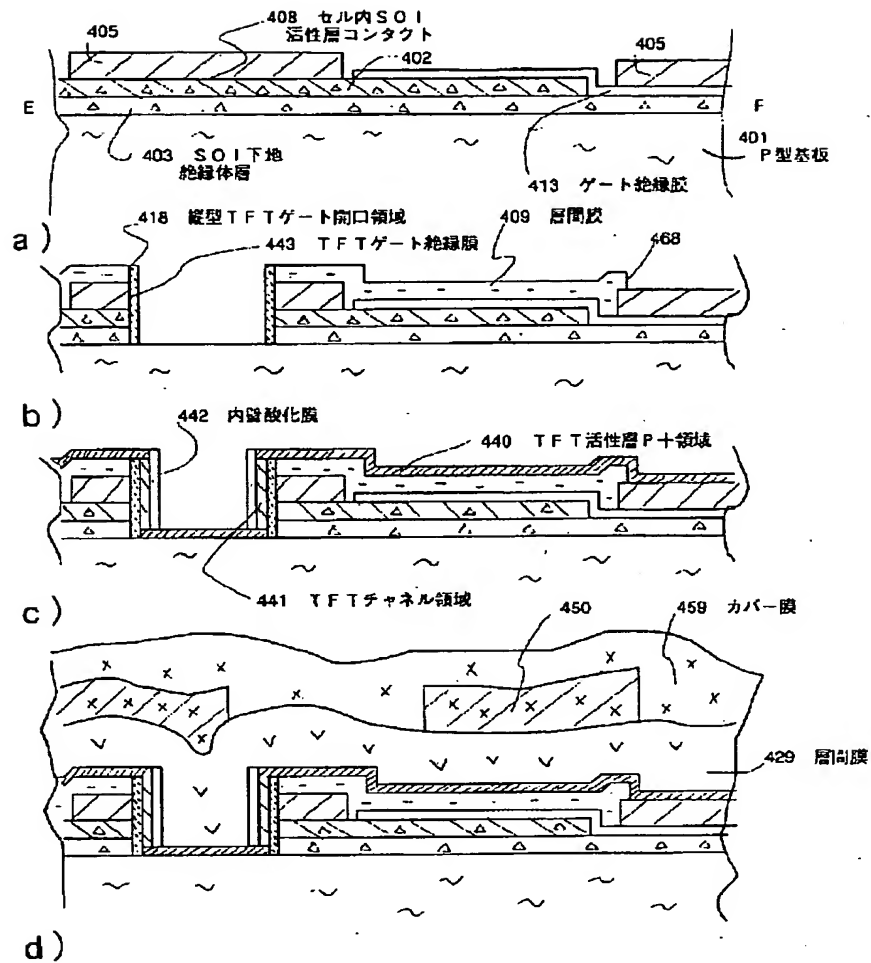
【図15】



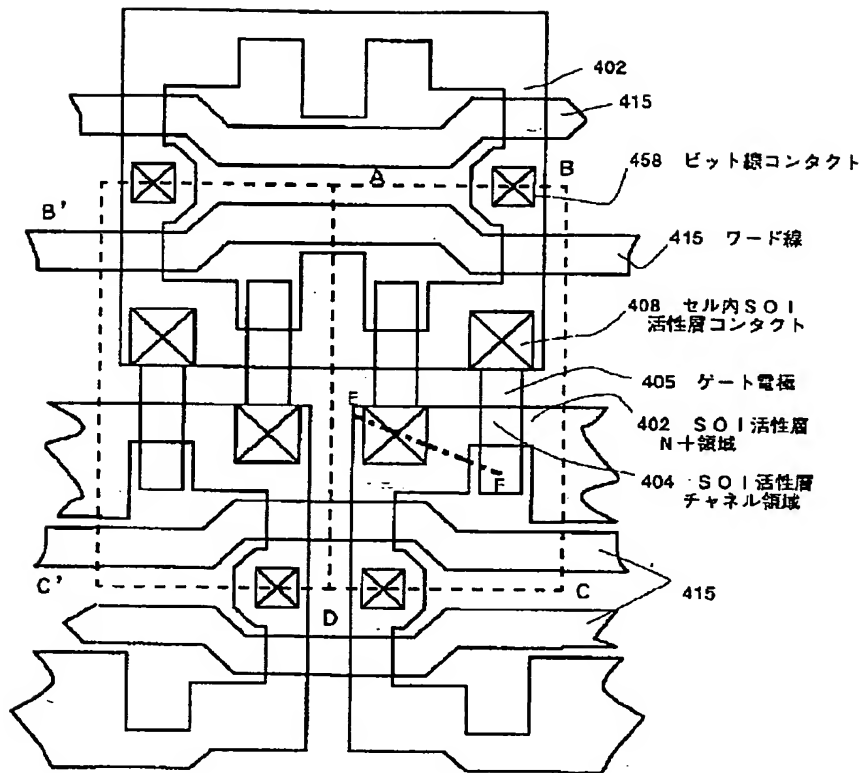
【図16】



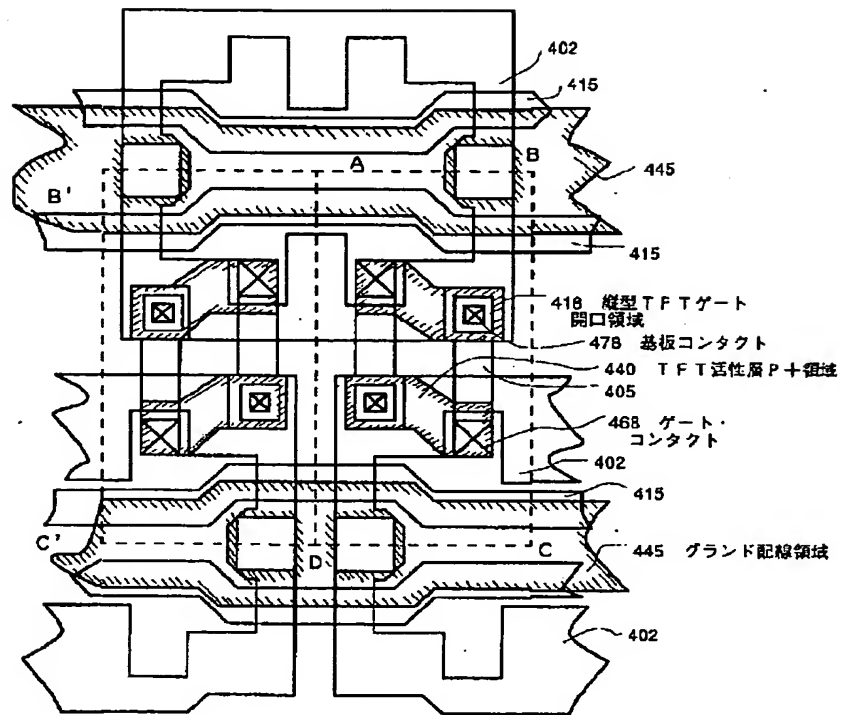
【図17】



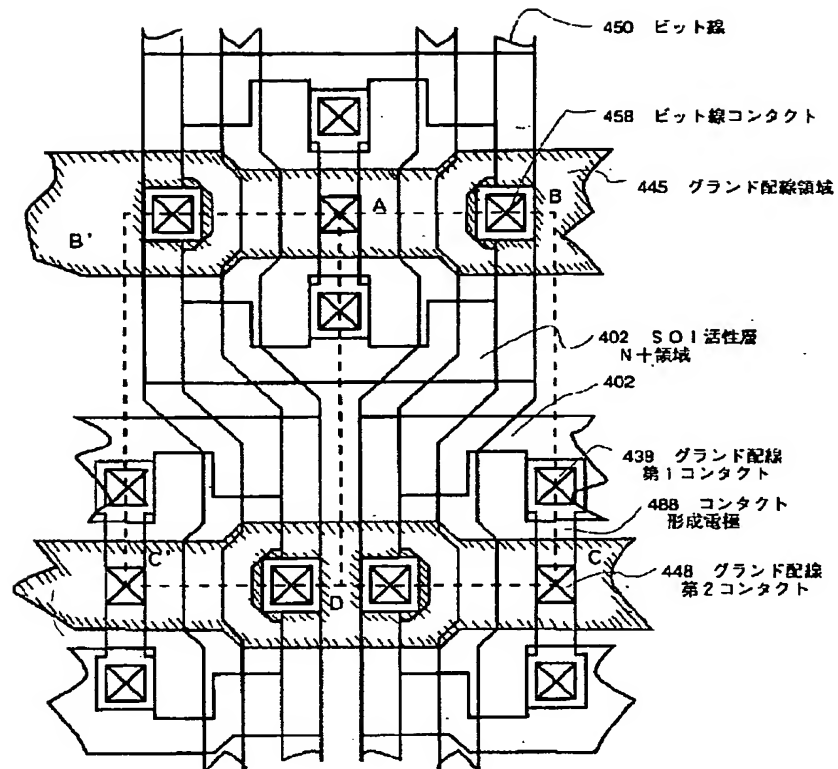
【図18】



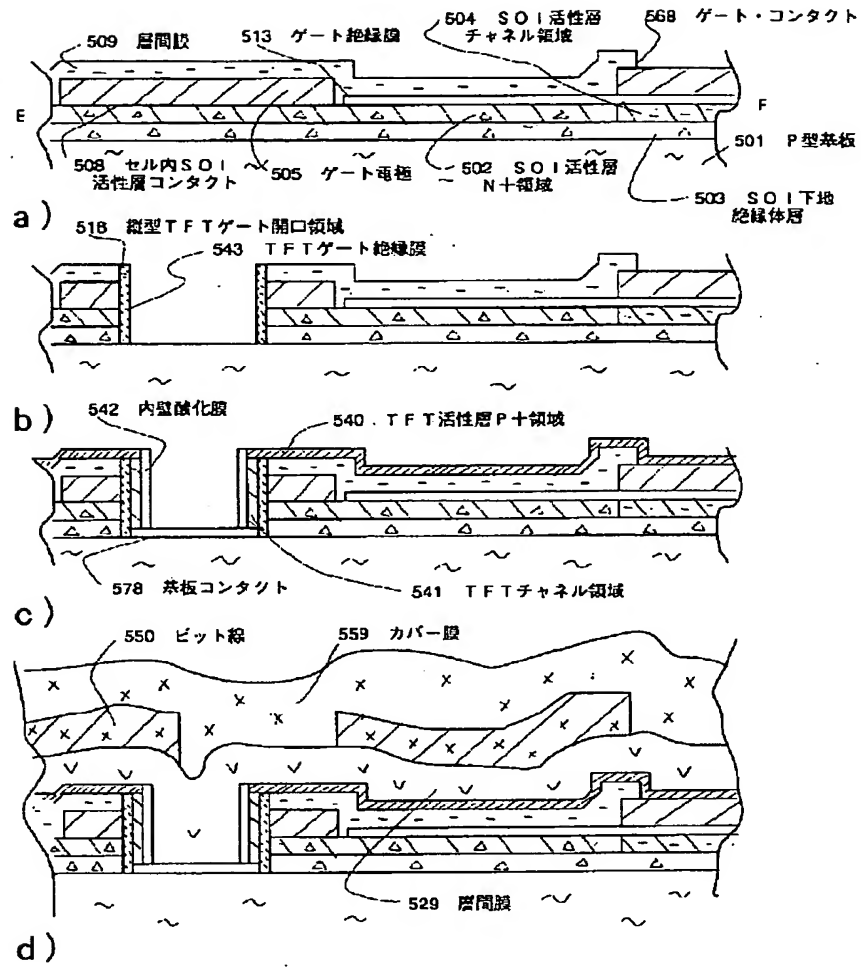
【図19】



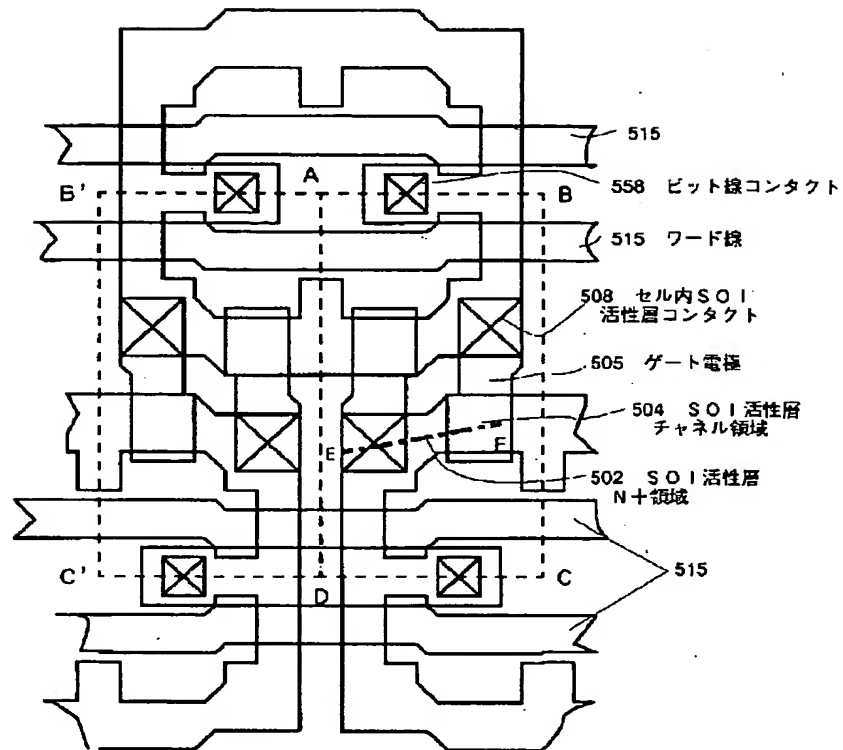
【図20】



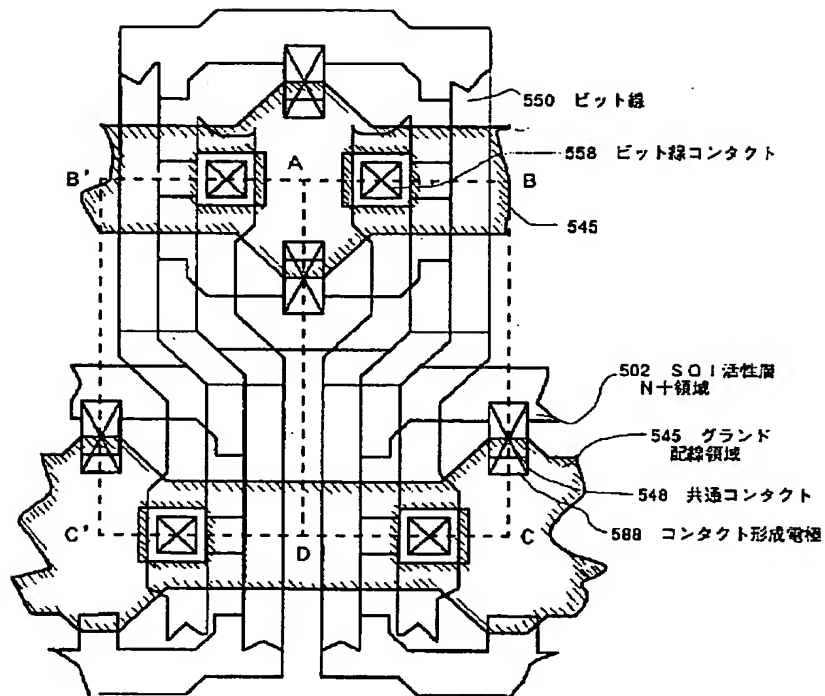
【図21】



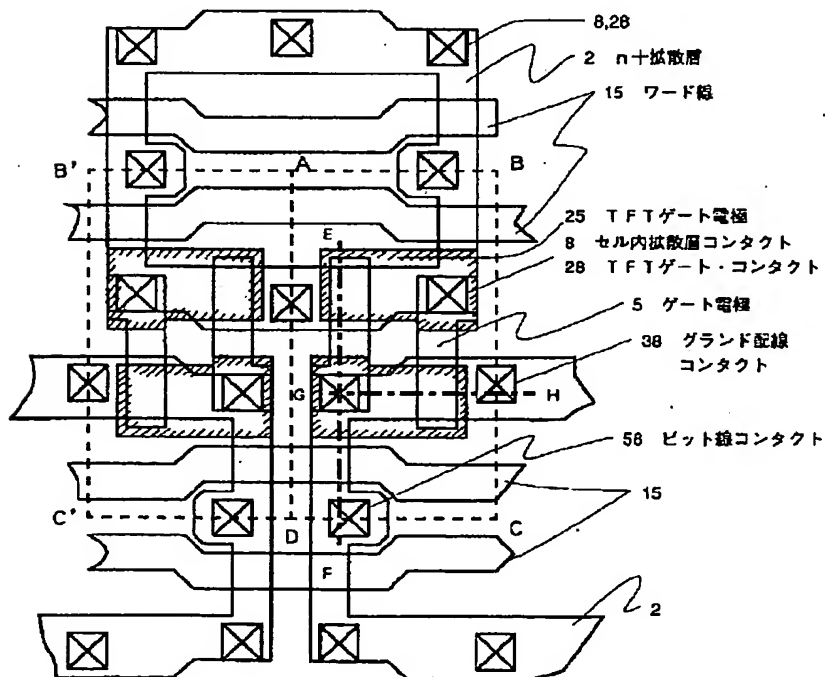
【図22】



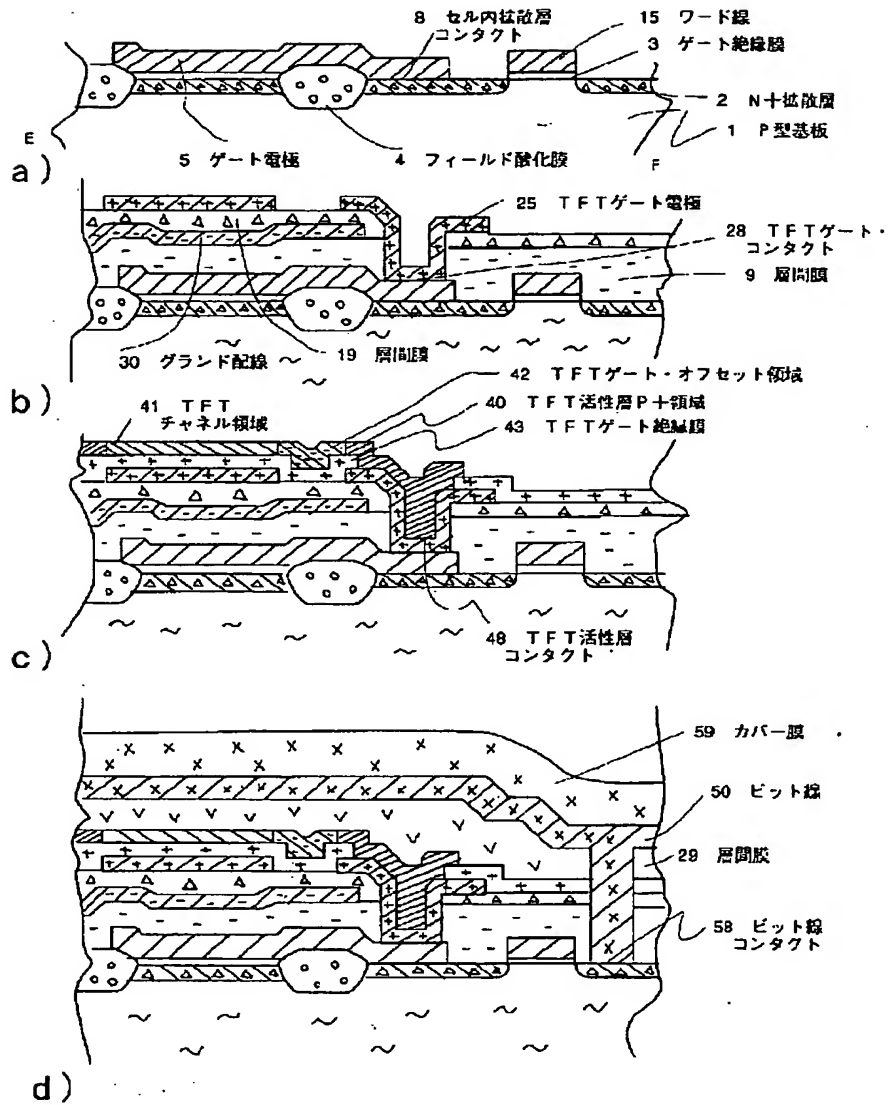
【図24】



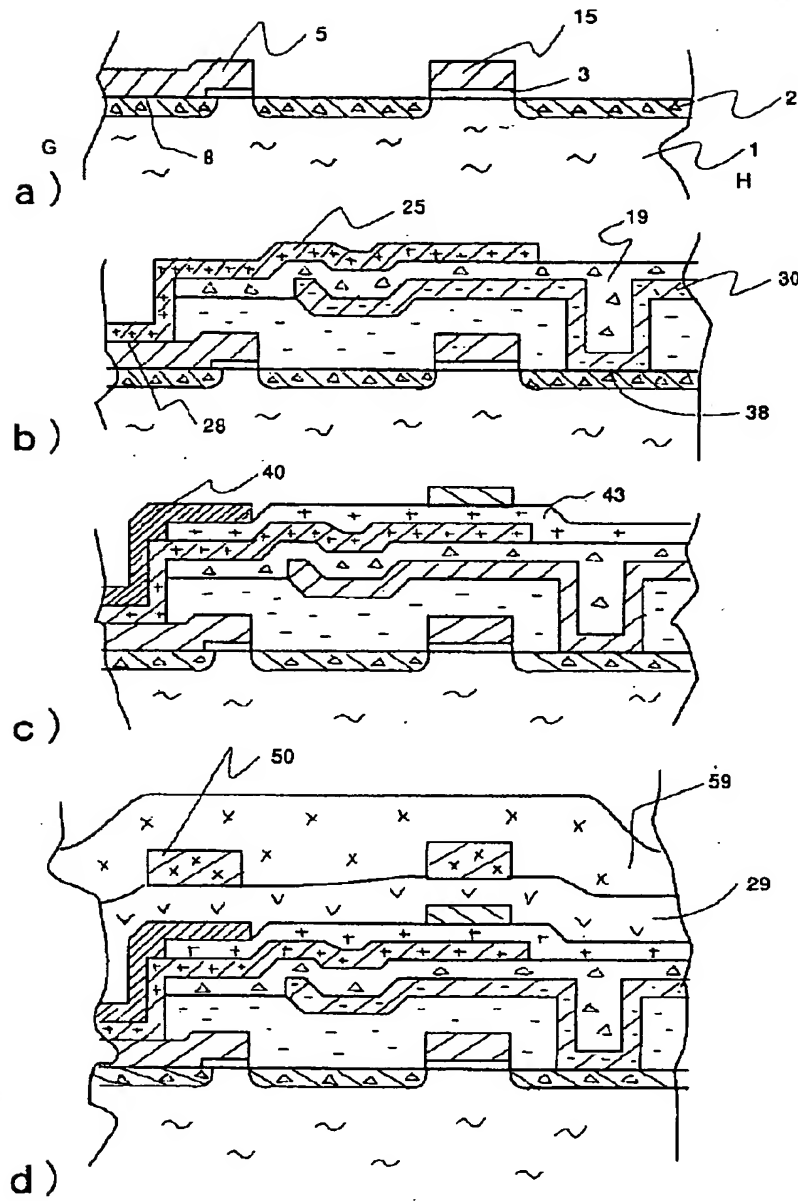
【図28】



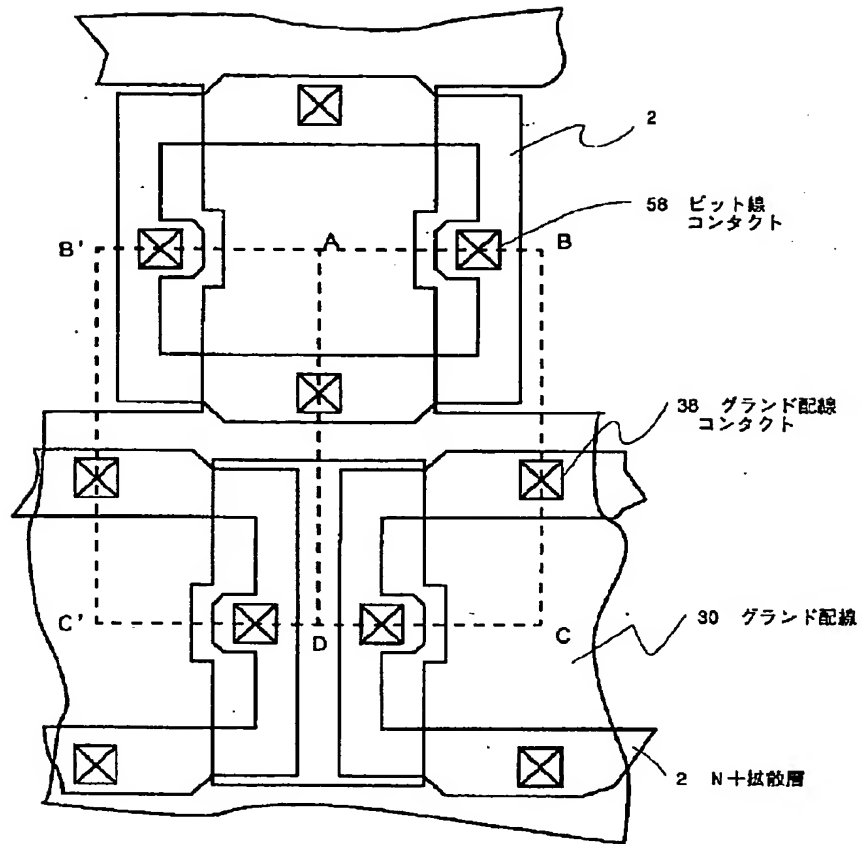
【図26】



【図27】



【図29】



【図31】

